

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—155592

⑬ Int. Cl.³
G 11 C 11/24
11/34

識別記号
1 0 1

庁内整理番号
8320—5B
8320—5B

⑭ 公開 昭和58年(1983)9月16日

発明の数 1
審査請求 有

(全 4 頁)

⑮ デジタル情報の処理方式

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭58—18368
⑰ 出 願 昭51(1976)2月6日
⑱ 特 願 昭51—12618の分割
⑲ 発 明 者 宮城勇

⑲ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内原晋

明 細 書

発明の名称

デジタル情報の処理方式

特許請求の範囲

nビットのビット構成されるデジタル情報の
組み合わせをそれぞれ異なる電荷量の組み合わせに
対応させ、前記nビットのデジタル情報の内容に
対応した量の電荷量を上記デジタル情報によっ
て制御される複数のスイッチ素子を介して取り出
すようにしたことを特徴とするデジタル情報の
処理方式。

発明の詳細な説明

本発明はnビット構成デジタル情報のデータ
処理方式に関する。

従来コンデンサに蓄電されている電荷の有無を
二進符号の「0」または「1」にそれぞれ対応さ
せ記憶せしめることは公知である。この記憶方式

によるコンデンサ記憶素子はそれぞれに1ビット
ずつを記憶することとなるので、多くのビット数
で構成される一つのデジタル情報を記憶させよ
うとすればコンデンサ記憶素子の数は膨大なもの
となり、記憶装置を大型化することは避けられな
い。

本発明の目的は上記の情況に鑑み、nビット配
列を一単位としてコンデンサ記憶素子に記憶させ
るに適するようにnビット構成デジタル情報を
データ処理する方式を提供することである。

本発明によるデジタル情報の処理方式は、n
ビットのデジタル情報の組み合わせをそれぞれ異
なる電荷量に対応させ、上記nビットの情報の内
容に応じた量の電荷量を上記デジタル情報によ
って制御される複数のスイッチ素子を介して取り
出すようにしたものである。

本発明によれば、nビット構成デジタル情報は
nビット配列を一単位としてk個のコンデンサ
記憶素子に記憶せしめるに好適なアナログ量に変
換されるので、コンデンサ記憶素子数は著しく低

減され、小型のダイナミック型記憶装置の実現が可能となる。よって本発明は高密度なデータ処理を可能とする。

次に本発明について図面を参照して説明する。

第1図は2ビット構成デジタル情報の一時記憶を例とする本発明の原理説明図で、スイッチ S_1 、 S_2 、 S_3 、 E なる起電力を持つ4個の直流電源、 C なる静電容量を持つ1個のコンデンサ C_0 及び直流電圧計 V_0 とを含む。図中一点鎖線で囲んだ部分 W_1 は書き込み部、 R_1 は読み出し部をそれぞれ示し、情報の書き込み及び読み出しをする際に必要な2ビット配列と電荷量との対応関係を第1表に表わしている。ここで電荷量 q を $q=CE$ とし、コンデンサ C_0 には T 時間で $0.5q$ の電荷漏れがあると仮定している。

第 1 表

2ビット配列	2ビット配列と対応する電荷量	コンデンサ C_0 の両端電圧
11	$4q \sim 3.5q$	$4E \sim 3.5E$
10	$3q \sim 2.5q$	$3E \sim 2.5E$
01	$2q \sim 1.5q$	$2E \sim 1.5E$
00	$1q \sim 0.5q$	$1E \sim 0.5E$

第 2 表

3ビット配列	3ビット配列に対応する電荷量の組み合わせ		$C10$ の両端電圧	$C20$ の両端電圧
	$C10$ の電荷量	$C20$ の電荷量		
111	$3q \sim 2.5q$	$3q \sim 2.5q$	$3E \sim 2.5E$	$3E \sim 2.5E$
110	$3q \sim 2.5q$	$2q \sim 1.5q$	$3E \sim 2.5E$	$2E \sim 1.5E$
101	$3q \sim 2.5q$	$1q \sim 0.5q$	$3E \sim 2.5E$	$1E \sim 0.5E$
100	$2q \sim 1.5q$	$3q \sim 2.5q$	$2E \sim 1.5E$	$3E \sim 2.5E$
011	$2q \sim 1.5q$	$2q \sim 1.5q$	$2E \sim 1.5E$	$2E \sim 1.5E$
010	$2q \sim 1.5q$	$1q \sim 0.5q$	$2E \sim 1.5E$	$1E \sim 0.5E$
001	$1q \sim 0.5q$	$3q \sim 2.5q$	$1E \sim 0.5E$	$3E \sim 2.5E$
000	$1q \sim 0.5q$	$2q \sim 1.5q$	$1E \sim 0.5E$	$2E \sim 1.5E$

例えば「101」の書き込みをするには、スイッチ S_1 と S_3 を閉じ、コンデンサ C_1 を $3E$ の起電力で充電して $3q$ の電荷量を蓄電させ、その後スイッチ S_1 、 S_3 を開く。次にスイッチ S_2 と S_3 を閉じコンデンサ C_2 を E の起電力で充電して $1q$ の電荷量を蓄電させ、その後スイッチ S_2 と S_3 を開くと書き込みは終了する。読み出しをするには、書き込み終了後 T 時間以内にスイッチ S_1 と S_3 を閉じ直流電圧計 V_1 、 V_2 でコンデンサ C_1 、 C_2 の両端電圧 $3E \sim 2.5E$ 、 $1E \sim 0.5E$ を検出することによって書き込まれていた「101」を読み出すことが

例えば「10」を書き込みさせるには、スイッチ S_1 と S_3 を閉じ、コンデンサ C_0 を $3E$ の起電力で充電して $3q$ の電荷量を蓄電させ、その後スイッチ S_1 と S_3 を開くと書き込みは終了する。

読み出しをするには、書き込み終了後 T 時間以内にスイッチ S_1 を閉じ、直流電圧計 V_0 でコンデンサ C_0 の両端電圧を検出することによって書き込まれていた「10」を読み出すことができる。

第2図は同じく3ビット構成デジタル情報の一時記憶を例とした場合の原理説明図で、スイッチ S_1 、 S_2 、 S_3 、 S_4 、 S_5 、 S_6 、 E なる起電力を持つ3個の直流電源、 C なる静電容量をもつ2個のコンデンサ C_1 、 C_2 及び2個の直流電圧計 V_1 、 V_2 とをそれぞれ含む。

前記と同様にして一点鎖線で囲んだ部分 W_2 を書き込み部、 R_2 を読み出し部とするものである。3ビット配列の場合における電荷量の組み合わせと記憶情報との対応関係を第2表に示す。

できる。

次に第3図は本発明を2ビット構成デジタル情報に実装した場合の一実施回路例で、入力端子 Z_1 、 Z_2 、インバータ1-1、1-2、ANDゲート回路2-1~2-4、MOS型トランジスタ3-1~3-4とそれぞれ $1E$ 、 $2E$ 、 $3E$ 、 $4E$ の電圧を供給する電圧供給源からなる書き込み部 W_3 、コンパレータ4~6、インバータ7~9、ANDゲート回路10~12、ORゲート回路13、14読み出し部 L_3 、出力端子 Z'_1 、 Z'_2 とそれぞれ $1.2E$ 、 $2.2E$ 、 $3.2E$ の電圧を供給する基準電圧源からなる読み出し部 R_3 及びコンデンサ C_0 とを含む。

例として「10」を書き込みさせるには、最初に入力端子 Z_1 に「1」、 Z_2 に「0」の信号を入力する。これらの信号は直接あるいはインバータを介して4個のANDゲート回路の入力となり、ANDゲート回路2-2からは「1」その他のANDゲート回路からは「0」の信号が出力される。その結果MOS型トランジスタ3-2が導通して電圧供給源から $3E$ の電圧がコンデンサ C_0 に印加され、

コンデンサ C_0 には $3q$ の電荷量が蓄電されて書き込みは終了する。

読み出しは次の様に行なわれる。

読み出し線 L_1 に印加されるコンデンサ C_0 の両端電圧 $3E \sim 2.5E$ と基準電圧源からの電圧 $1.2E$ 、 $2.2E$ 、 $3.2E$ がコンパレータ $4 \sim 6$ に入力すると、コンパレータ 4 と 5 からは '1'、コンパレータ 6 からは '0' の信号が出力して直接あるいはインバータ $7 \sim 9$ を介して AND ゲート回路 $10 \sim 12$ に入力する。AND ゲート回路 $10 \sim 12$ からはそれぞれ '1'、'0'、'0' の信号が出力して OR ゲート回路 13 、 14 に入力する。その結果、出力端子 Z'_1 、 Z'_2 からは書き込みした '1'、'0' の信号が出力される。

第 4 図は同じく 3 ビット構成デジタル情報に実施した場合の本発明の他の実施回路例で、入力端子 Z_1 、 Z_2 、 Z_3 、インバータ $15 \sim 17$ 、AND ゲート回路 $18 \sim 25$ 、OR ゲート回路 $26 \sim 31$ 、MOS 型トランジスタ $32 \sim 37$ とそれぞれ $1E$ 、 $2E$ 、 $3E$ の電圧を供給する電圧供給源からなる

読み出し線 L_1 、 L_2 に印加されるコンデンサ C_1 、 C_2 の両端電圧 $3E \sim 2.5E$ 、 $1E \sim 0.5E$ と基準電圧源からの電圧 $1.2E$ 、 $2.2E$ がコンパレータ $38 \sim 41$ に入力するとコンパレータ 38 と 39 からは '1'、コンパレータ 40 、 41 からは '0' の信号が出力して直接あるいはインバータを介して AND ゲート回路 $46 \sim 52$ に入力する。AND ゲート回路 $46 \sim 52$ からはそれぞれ '0'、'1'、'0'、'0'、'0'、'0'、'0' の信号が出力して OR ゲート回路 $53 \sim 55$ に入力する。その結果、出力端子 Z'_1 、 Z'_2 、 Z'_3 からは書き込みした '1'、'0'、'1' の信号が出力される。同様にして n ビット配列を異なる電荷量の組み合わせに対応させることにより、本発明は n ビット構成デジタル情報にも実施が可能である。このように本発明は n ビット配列を一単位としてコンデンサ記憶素子に記憶させるので小型のダイナミック型記憶装置の実現が可能である。なお、コンデンサ記憶素子の書き込み、消去が容易であるという特徴も合せ持つので記憶技術分野における貢献は顕著である。

読み出し部 W_1 、コンパレータ $38 \sim 41$ 、インバータ $42 \sim 45$ 、AND ゲート回路 $46 \sim 52$ 、OR ゲート回路 $53 \sim 55$ 、読み出し線 L_1 、 L_2 、出力端子 Z'_1 、 Z'_2 、 Z'_3 及び $1.2E$ と $2.2E$ の電圧を供給する基準電圧源からなる読み出し部 R_1 及びコンデンサ C_1 、 C_2 とを含む。

例として '101' を書き込ませるには、最初に入力端子 Z_1 、 Z_2 、 Z_3 にそれぞれ '1'、'0'、'1' の信号を入力する。これらの信号は直接あるいはインバータ $15 \sim 17$ を介して AND ゲート回路 $18 \sim 25$ に入力される。AND ゲート回路 $18 \sim 25$ の出力信号は OR ゲート回路 $26 \sim 31$ へ入力されるがこのとき OR ゲート回路 26 と 31 からだけ '1' の信号が出力され、その他の OR ゲート回路からは '0' の信号が出力される。

その結果、MOS トランジスタ 32 と 37 が導通して電圧供給源からコンデンサ C_1 には $3E$ の電圧が、 C_2 には $1E$ の電圧が印加されてそれぞれ $3q$ 、 $1q$ の電荷量が蓄電されて書き込みは終了する。

読み出しは次の様に行なわれる。

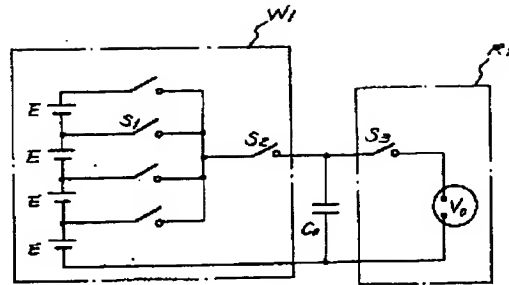
図面の簡単な説明

第 1 図及び第 2 図は本発明の原理説明図、第 3 図は本発明の一実施例を示す回路図、第 4 図は本発明の他の実施例を示す回路図である。

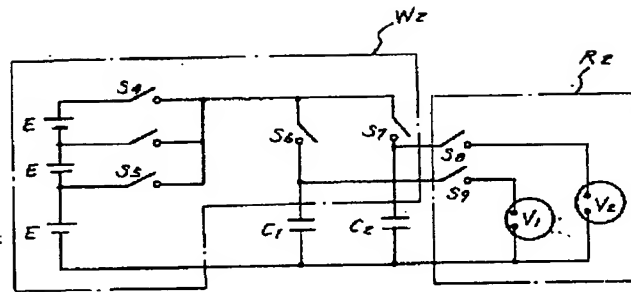
E …… 直流電源の起電力、 R_1 、 R_2 、 R_3 、 R_4 、 R_5 、 R_6 、 R_7 、 R_8 、 R_9 …… スイッチ、 C_0 、 C_1 、 C_2 …… コンデンサ、 V_0 、 V_1 、 V_2 …… 直流電圧計、 $1-1$ 、 $1-2$ 、 $7-9$ 、 $15-17$ 、 $42-45$ …… インバータ、 $3-1 \sim 3-4$ 、 $32 \sim 37$ …… MOS 型トランジスタ、 $4-6$ 、 $38 \sim 41$ …… コンパレータ、 $2-1 \sim 2-4$ 、 $10 \sim 14$ 、 $18 \sim 31$ 、 $46 \sim 55$ …… ゲート回路、 L_1 、 L_2 、 L_3 …… 読み出し線、 Z_1 、 Z_2 、 Z_3 、 Z_4 、 Z_5 …… 入力端子、 Z'_1 、 Z'_2 、 Z'_3 、 Z'_4 、 Z'_5 …… 出力端子、 W_1 、 W_2 、 W_3 、 W_4 …… 書き込み部、 R_1 、 R_2 、 R_3 、 R_4 …… 読み出し部

代理人 弁理士 内原 晋

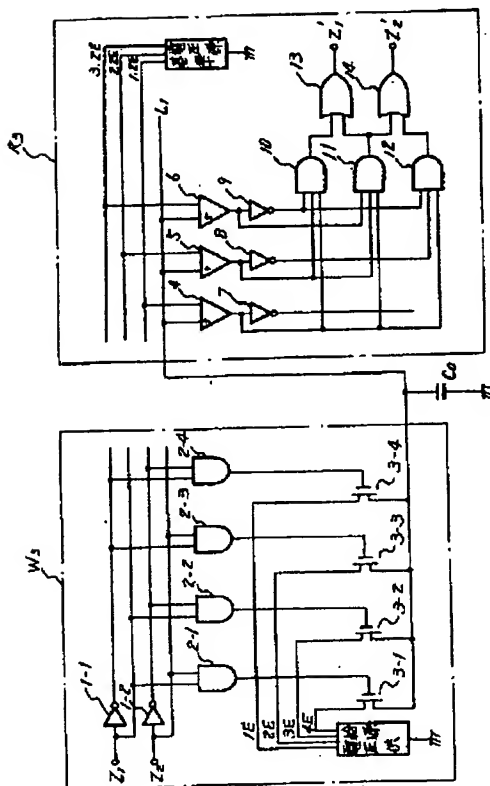




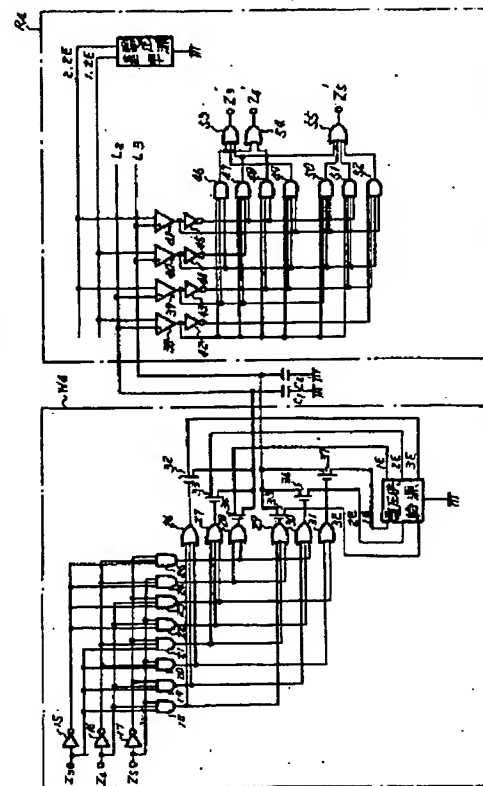
第 1 図



第 2 図



第 3 図



第 4 図